



**【特許請求の範囲】**

**【請求項1】** シリコン基板上に入出力部と内部回路を備えた半導体集積回路装置において、前記入出力部を構成する第一のトランジスタ群は、酸化シリコン系材料からなるゲート絶縁膜を有し、前記内部回路を構成する第二のトランジスタ群は、前記酸化シリコン系材料よりも誘電率の高い高誘電体材料を含むゲート絶縁膜を有することを特徴とする半導体集積回路装置。

**【請求項2】** 前記第二のトランジスタ群のゲート絶縁膜は、窒素を含む酸化シリコン系材料からなる第一の膜と、その上に形成された前記高誘電体材料からなる第二の膜とを含む多層膜からなることを特徴とする請求項1に記載の半導体集積回路装置。

**【請求項3】** 前記高誘電体材料は、酸化タンタル ( $\text{Ta}_2\text{O}_5$ )、チタン酸バリウム・ストロンチウム ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  ( $0 < x < 1$ ))、およびタンタル酸ビスマス・ストロンチウム ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) からなる群から選ばれる一または二以上の材料であることを特徴とする請求項1または2に記載の半導体集積回路装置。

**【請求項4】** 入出力部形成領域および内部回路形成領域を含む半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、該酸化シリコン系絶縁膜上に、シリコン膜、第一の導電膜およびシリコン窒化膜がこの順で積層した多層膜を形成する工程と、前記酸化シリコン系絶縁膜および前記多層膜を加工することにより、前記入出力部形成領域に第一のゲート電極を形成し、前記内部回路形成領域に犠牲ゲート電極を形成する工程と、ソース・ドレイン領域を形成する工程と、前記第一のゲート電極および前記犠牲ゲート電極を埋め込むように層間絶縁膜を形成する工程と、前記犠牲ゲート電極に含まれる、前記多層膜および前記酸化シリコン系絶縁膜を選択的に除去し、凹部を設ける工程と、前記凹部に、窒素を含む酸化シリコン系材料からなる第一の膜と、該酸化シリコン系材料よりも誘電率の高い高誘電体材料からなる第二の膜とをこの順で形成する工程と、第二の膜上に第二の導電膜を堆積した後、少なくとも第二の導電膜を加工することにより第二のゲート電極を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

**【請求項5】** 前記高誘電体材料は、酸化タンタル ( $\text{Ta}_2\text{O}_5$ )、チタン酸バリウム・ストロンチウム ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  ( $0 < x < 1$ ))、およびタンタル酸ビスマス・ストロンチウム ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) からなる群から選ばれる一または二以上の材料であることを特徴とする請求項4記載の半導体集積回路装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、集積回路半導体集積回路装置に関し、特にMIS型電界効果トランジスタ

に関する。

**【0002】**

**【従来の技術】** 従来、集積回路はゲート長の縮小、ゲート絶縁膜の薄膜化、低電圧化によって高速化や低消費電力化等の高性能化を実現してきた。ゲート絶縁膜を薄くすると、トランジスタの電流駆動能力が向上するため集積回路の高性能化を図ることができる。また、低電圧化によって、ゲート絶縁膜の信頼性を保ちつつ低消費電力化を実現することができる。

**【0003】** 一方、集積回路を用いてシステムを構築する場合、使用する電源の電圧は一定であることが望ましい。そこで、電源電圧を一定にしつつ集積回路の高性能化を図るため、入出力部のトランジスタについては高い電圧で駆動し、入出力部以外の領域、すなわち集積回路内部の領域のトランジスタについては低い電圧で駆動する構成にすることが考えられる。図6は、このような構成の例を模式的に示すものである。図中、2種類のトランジスタが示されている。入出力部のトランジスタには厚いゲート絶縁膜が設けられており、高い電源電圧に耐え得るようになっている。一方、入出力部以外の領域のトランジスタには薄いゲート絶縁膜が設けられており、集積回路の高性能化が図られている。

**【0004】**

**【発明が解決しようとする課題】** しかしながら、上記のようにゲート絶縁膜の膜厚の異なる2種類のゲート電極を形成した場合、長期使用時において膜厚の薄いトランジスタでリーク電流が発生し、内部回路の誤作動や回路消費電流の増大を招くことがあった。特に、図5に示すように、膜厚2nm以下ではリーク電流が急激に増大し、上記の問題が顕著となる。

**【0005】** 本発明は、上記事情に鑑みてなされたものであり、ゲート絶縁膜の膜厚の異なる2種類のゲート電極の設けられた集積回路において、長期使用時における内部回路の誤作動や回路消費電流の増大を防止し、信頼性の高い集積回路を提供することを目的とする。

**【0006】**

**【課題を解決するための手段】** 上記課題を解決する本発明によれば、シリコン基板上に入出力部と内部回路を備えた半導体集積回路装置において、前記入出力部を構成する第一のトランジスタ群は、酸化シリコン系材料からなるゲート絶縁膜を有し、前記内部回路を構成する第二のトランジスタ群は、前記酸化シリコン系材料よりも誘電率の高い高誘電体材料を含むゲート絶縁膜を有することを特徴とする半導体集積回路装置が提供される。

**【0007】** また本発明によれば、入出力部形成領域および内部回路形成領域を含む半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、該酸化シリコン系絶縁膜上に、シリコン膜、第一の導電膜およびシリコン窒化膜がこの順で積層した多層膜を形成する工程と、前記酸化シリコン系絶縁膜および前記多層膜を加工することに

より、前記入出力部形成領域に第一のゲート電極を形成し、前記内部回路形成領域に犠牲ゲート電極を形成する工程と、ソース・ドレイン領域を形成する工程と、前記第一のゲート電極および前記犠牲ゲート電極を埋め込むように層間絶縁膜を形成する工程と、前記犠牲ゲート電極に含まれる、前記多層膜および前記酸化シリコン系絶縁膜を選択的に除去し、凹部を設ける工程と、前記凹部に、窒素を含む酸化シリコン系材料からなる第一の膜と、該酸化シリコン系材料よりも誘電率の高い高誘電体材料からなる第二の膜とをこの順で形成する工程と、第二の膜上に第二の導電膜を堆積した後、少なくとも第二の導電膜を加工することにより第二のゲート電極を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法が提供される。

【0008】以下、本発明の半導体集積回路装置の作用について説明する。本発明は、ゲート絶縁膜として酸化シリコン系絶縁膜を用いたトランジスタと高誘電体材料からなる絶縁膜を用いたトランジスタのゲートリーク特性の実験結果に基づくものである。ゲート絶縁膜として酸化シリコン系絶縁膜を用いた場合およびチタン酸バリウム・ストロンチウム膜を用いた場合の、ゲートリーク電流と絶縁膜厚の関係を図5に示す。シリコン酸化膜厚が2nm未満では、ゲートリーク電流は $1 \times 10^{-2} \text{A/cm}^2$ を超える値となり、リーク電流の発生が問題となる。一方、チタン酸バリウム・ストロンチウム膜のような高誘電体材料からなる絶縁膜を用いた例では、換算膜厚（絶縁膜の膜厚を誘電率で除した値）が1nmまで、さらにシリコン酸化膜と高誘電体材料からなる絶縁膜の積層構造では、0.5nmまではゲートリークが少なく状態を保持できる。従って高誘電体材料を含む絶縁膜を形成することにより膜厚2nm以下のゲート絶縁膜を有するトランジスタを用いて高速動作化を図った場合でも、リーク電流発生を効果的に抑制することができるのである。

【0009】また本発明の半導体集積回路装置の製造方法は、ゲートリークの少ない半導体集積回路装置を好適に形成する方法を提供するものである。シリコン酸化膜と高誘電体材料からなる絶縁膜を同時に有する集積回路は、従来法では製造が困難となる。従来法では、ゲート絶縁膜形成後に高温熱処理が実施されるので、ゲート絶縁膜とシリコン基板あるいはゲート絶縁膜とゲート電極を構成する膜が反応する為である。ゲート絶縁膜として、理想的には高誘電体膜単層構造とする方がシリコン酸化膜と高誘電体膜の積層構造とする場合に比べてゲートリークを少なくできる。ところが、シリコン基板と高誘電体膜が反応するとゲートリークが増えてしまう場合がある。本発明の製造方法はこのような問題を有効に解決するものである。すなわち、本発明の製造方法では、犠牲ゲート電極のゲート電極膜およびゲート絶縁膜を除去した後、高誘電体膜と導体ゲート電極を形成す

る。このため、製造プロセス中における高誘電体膜の劣化を防止することができ、電流リークの少ない半導体集積回路装置を好適に製造することができる。

#### 【0010】

【発明の実施の形態】本発明の半導体集積回路装置において、第二のトランジスタ群のゲート絶縁膜は、窒素を含む酸化シリコン系材料からなる第一の膜と、その上に形成された前記高誘電体材料からなる第二の膜とを含む多層膜からなることが好ましい。シリコン基板上に直接、高誘電体膜を形成すると、高温熱処理によってシリコンと高誘電体膜中の酸素が反応して、誘電率の低いシリコン酸化膜が形成されることがある。この場合、ゲート絶縁膜の換算膜厚（絶縁膜の膜厚を誘電率で除した値）を小さくすることが困難になることがある。これに対し、シリコン基板の酸化バリアとして作用する、窒素を含む酸化シリコン系材料からなる第一の膜を、高誘電体材料からなる第二の膜の下に配置すれば、このような課題を有効に解決することができる。

【0011】本発明における高誘電体材料としては、比誘電率15以上の材料を選択することが好ましい。たとえば、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ )、窒化アルミニウム、酸化タンタル ( $\text{Ta}_2\text{O}_5$ )、チタン酸ストロンチウム ( $\text{SrTiO}_3$ )、チタン酸バリウム ( $\text{BaTiO}_3$ )、チタン酸バリウム・ストロンチウム ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  ( $0 < x < 1$ ))、 $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{PZT}$  ( $\text{PbZrTiO}_3$ ) およびタンタル酸ビスマス・ストロンチウム ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) などが挙げられる。このうち、酸化タンタル ( $\text{Ta}_2\text{O}_5$ )、チタン酸バリウム・ストロンチウム ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  ( $0 < x < 1$ ))、およびタンタル酸ビスマス・ストロンチウム ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) からなる群から選ばれる一または二以上の材料とすることが好ましい。これらの材料を用いれば、実際のゲート絶縁膜の厚みを厚くしつつ換算膜厚を効果的に小さくでき、内部回路の高速動作化および電流リークの抑制を、一層効果的に実現できる。

【0012】本発明の半導体集積回路装置における内部回路、および本発明の半導体集積回路装置の製造方法における内部回路形成領域には、高誘電体材料を含むゲート絶縁膜が形成されるが、このゲート絶縁膜の換算膜厚、すなわち絶縁膜の膜厚を誘電率で除した値は、好ましくは2nm以下、さらに好ましくは1nmとする。このようにすることによって、内部回路を一層高速で動作させることが可能となる。なお、ゲート絶縁膜を多層膜とする場合は、換算膜厚として下記式で示される換算値 ( $t/\epsilon$ )<sub>RED</sub>を用いる。

$$(t/\epsilon)_{\text{RED}} = t_1/\epsilon_1 + t_2/\epsilon_2 + \dots + t_n/\epsilon_n$$

(nは2以上の整数)

(式中、 $\epsilon$ は絶縁膜の比誘電率、 $t$ は絶縁膜の膜厚 (nm) を表す。)

以下、本発明の実施の形態について図面を参照して説明

する。

【0013】図1は、本発明の半導体集積回路装置の第1の実施の形態を示す断面図である。

【0014】内部回路でのMISFETでは、ゲート絶縁膜は0.3~1.0nm厚のシリコン酸窒化膜と5~50nm厚の高誘電率絶縁膜の積層構造からなり、ゲート電極膜は、10~100nm厚の金属窒化膜あるいは金属酸化物あるいは金属膜あるいは金属シリサイド膜、あるいはこれらの積層構造からなっている。

【0015】一方、入出力部の回路でのMISFETでは、ゲート絶縁膜は2~5nm厚のシリコン酸窒化膜、ゲート電極膜は、50~200nm厚の不純物をドーパしたシリコン膜と10~100nm厚の金属窒化膜あるいは金属酸化物あるいは金属膜あるいは金属シリサイド膜の積層構造からなっている。

【0016】上記構造での高誘電率絶縁膜としては、酸化 tantalum 膜や酸化チタン膜等があり、さらに上記構造での金属窒化膜としては、窒化チタン膜や窒化 tantalum 膜等が用いられる。金属酸化物としては、酸化ルテニウム膜や酸化イリジウム膜等が用いられる。金属膜としては、タングステン膜やモリブデン膜等が用いられ、金属シリサイド膜としては、チタンシリサイド膜やコバルトシリサイド膜等が用いられる。ただしこれらに限定されるものではない。

【0017】図2は、本発明の半導体集積回路装置の第2の実施の形態を示すMISFETの断面図である。トランジスタ構造の材料や寸法は第1の実施の形態と同様である。第1の実施の形態との相違は、内部回路でのMISFETにおいて、ゲート電極膜がソース/ドレイン領域に対して自己整合となっていないことである。

【0018】図3は、本発明の半導体集積回路装置の製造方法の第1の実施の形態を示す工程断面図である。図3(a)は、素子分離領域2を形成したシリコン半導体基板1上に、ゲート酸化系絶縁膜3を形成し、さらにCVD法等によりシリコン膜を堆積した後、イオン注入法により不純物をドーパしたシリコン膜上に、金属導体膜とシリコン窒化膜を堆積した状態を示す。

【0019】次に、図3(b)は、通常のリソグラフィ工程とエッチング工程により、ゲート電極を形成した後、ソース・ドレイン領域に不純物をイオン注入し、熱処理により不純物を活性化して入出力部の回路トランジスタを完成するとともに、内部回路トランジスタのソース/ドレイン領域を形成する。シリコン酸化膜系層間絶縁膜は、化学的機械研磨法等により平坦化している。

【0020】次に、図3(c)は、内部回路トランジスタ上の窒化膜と金属導体膜を選択的に除去した後、ゲート電極であるシリコン膜とゲート絶縁膜である酸窒化膜を選択的に除去した状態を示す。図3(d)は、酸化シリコン系絶縁膜と高誘電率絶縁膜の多層膜をゲート絶縁膜として形成し、導電膜をゲート電極膜として形成した

後、層間膜上の余分のゲート絶縁膜とゲート電極膜を除去して全回路トランジスタを完成した状態を示す。

【0021】

【実施例】実施例1

図1は、本発明に係る半導体集積回路装置の一例を示すMISFETの断面図である。入出力回路100のトランジスタは、ゲート絶縁膜として3nm厚のシリコン酸窒化膜30を有しており、その上に、多結晶シリコン膜51、窒化チタン膜41およびタングステン膜40が積層されている。さらにタングステン膜40の上にはシリコン窒化膜70が形成されている。多結晶シリコン膜51は、nMOSにおいてはn<sup>+</sup>の導電型となっており、pMOSにおいてはp<sup>+</sup>の導電型となっている。

【0022】一方、内部回路200のトランジスタでは、0.5nm厚のシリコン酸窒化膜30と10nm厚のチタン酸バリウム・ストロンチウム膜31からなる多層膜をゲート絶縁膜としており、その上に、窒化チタン膜41およびタングステン膜40が積層されている。ゲート電極はソース/ドレイン領域60に対して自己整合した構造となっている。この構造は、図3で示されるように、化学的機械研磨法により層間絶縁膜71は平坦化されている。

【0023】図1の半導体集積回路装置は、構造上、拡散層形成のための高温熱処理が完了した後に内部回路200のゲート電極を形成することができるようになってい（実施例3で後述）。このため、内部回路200のゲート電極材料に対する耐熱性の要求を緩和することができる。具体的には、誘電率絶縁膜とシリコン基板が反応する600℃以下の耐熱性を有する材料でゲート電極を構成することができる。これによりゲート電極材料の選択の幅を広げることが可能となる。

【0024】実施例2

図2は、本発明に係る半導体集積回路装置の他の例を示すMISFETの断面図である。入出力回路100のトランジスタは、ゲート絶縁膜として4nm厚のシリコン酸窒化膜32を有しており、その上に、多結晶シリコン膜51およびコバルトシリサイド膜42が積層されている。多結晶シリコン膜51は、nMOSにおいてはn<sup>+</sup>の導電型となっており、pMOSにおいてはp<sup>+</sup>の導電型となっている。

【0025】一方、内部回路200のトランジスタでは、1nm厚のシリコン酸窒化膜32と4nm厚の酸化 tantalum 膜33からなる多層膜をゲート絶縁膜としており、その上に、窒化チタン膜41およびタングステン膜40が積層されている。

【0026】実施例3

本実施例は、本発明の半導体集積回路装置の製造方法の一例を示すものである。以下、図3を参照して説明する。

【0027】まず、素子分離領域をトレンチ法により形

成したシリコン半導体基板1上に、3nmのゲート酸化膜30を熱酸化法により形成した。次に減圧CVD法により多結晶シリコン膜50を堆積した後、イオン注入法によりnMOS側の多結晶シリコン膜にはヒ素を $5 \times 10^{15} \text{ cm}^{-2}$ 、pMOS側の多結晶シリコン膜にはボロンを $3 \times 10^{15} \text{ cm}^{-2}$ イオン注入した。つづいてその上に窒化チタン膜41とタングステン膜40をスパッタ法で堆積し、さらにシリコン窒化膜70をCVD法により堆積した。この状態を図3(a)に示す。

【0028】次に、通常のリソグラフィ工程とエッチング工程により、ゲート電極を形成した後、ソース/ドレイン領域のゲート近傍に不純物をイオン注入した。ゲート電極に絶縁膜側壁を形成した後、再度、ソース/ドレイン領域に不純物をイオン注入し、1000℃の熱処理をして不純物を活性化した。これにより拡散層60が形成された。コバルト膜の堆積および熱処理等によりコバルトシリサイド膜42を形成した後、CVD法によりシリコン酸化膜を堆積し、化学的機械研磨法により平坦化を行った。この状態を図3(b)に示す。

【0029】つづいて、内部回路を構成するトランジスタについて、窒化膜70、タングステン膜40および窒化チタン膜41を通常のレジスト工程とドライエッチング法により選択的に除去した。つづいて、多結晶シリコン膜50およびゲート酸化膜30をウェットエッチング法により選択的に除去した。この状態を図3(c)に示す。

【0030】次に内部回路を構成するトランジスタについて、図3(d)に示すような膜形成を行った。まずシリコン基板10の表面に熱酸化法により0.5nm厚の酸化膜を形成した後、CVD法により10nm厚の酸化バリウム・ストロンチウム・チタン膜31を積層し、次いで窒化チタン膜40とタングステン膜41をスパッタ法により形成した。層間膜上の余分のゲート絶縁膜とゲート電極膜は、化学的機械研磨法により除去した。

【0031】以上の工程により全回路トランジスタを完成した。作製された半導体集積回路装置は、高い動作速度を示すとともに、長期使用時における電流リークが少ないものであった。

#### 【0032】実施例4

本実施例は、本発明の半導体集積回路装置の製造方法の他の例を示すものである。以下、図4を参照して説明する。

【0033】まず、素子分離領域をトレンチ法により形成したシリコン半導体基板1上に、4nmのゲート酸化膜32を熱酸化法により形成した。次に減圧CVD法により多結晶シリコン膜51を堆積した後、イオン注入法によりnMOS側の多結晶シリコン膜にはヒ素を $4 \times 10^{15} \text{ cm}^{-2}$ 、pMOS側の多結晶シリコン膜にはボロンを $3 \times 10^{15} \text{ cm}^{-2}$ イオン注入した。

【0034】次に通常のリソグラフィ工程とエッチング工程により、ゲート電極を形成した後、ソース/ドレイン領域のゲート近傍に不純物をイオン注入した。ゲート電極に絶縁膜側壁を形成した後、再度、ソース/ドレイン領域に不純物をイオン注入し、次いで1020℃の熱処理をして不純物を活性化した。つづいてコバルト膜をスパッタ法により形成し、熱処理した後、絶縁膜上の余剰コバルト膜を除去し、再度熱処理を実施した。これによりコバルトシリサイド膜42が形成された。その後、CVD法によりシリコン窒化膜70とシリコン酸化膜71を堆積し、エッチバック法と化学的機械研磨法の組み合わせにより平坦化を行った。この状態を図4(b)に示す。

【0035】つづいて、内部回路を構成するトランジスタについて、窒化膜70およびコバルトシリサイド膜42を通常のレジスト工程とドライエッチング法により選択的に除去した。つづいて、多結晶シリコン膜51およびゲート酸化膜32をウェットエッチング法により選択的に除去した。この状態を図4(c)に示す。

【0036】次に内部回路を構成するトランジスタについて、図4(d)に示すような膜形成を行った。まずシリコン基板10表面に熱酸化法により1nm厚の酸化膜32を形成した後、CVD法により4nm厚の酸化タンタル膜33を堆積し、次いで窒化タングステン膜43およびタングステン膜40をスパッタ法により形成した。層間膜上の余分のゲート絶縁膜とゲート電極膜は、通常のリソグラフィ工程とドライエッチング工程により除去した。

【0037】以上の工程により全回路トランジスタを完成した。作製された半導体集積回路装置は、高い動作速度を示すとともに、長期使用時における電流リークが少ないものであった。

#### 【0038】

【発明の効果】以上説明したように本発明によれば、内部回路を構成する第二のトランジスタ群が、高誘電体材料を含むゲート絶縁膜を有する。このためゲート絶縁膜の換算膜厚を薄くし、リーク電流発生を抑制しつつ高速動作化を実現することができる。

【0039】また、内部回路を構成するトランジスタのゲート絶縁膜を、窒素を含む酸化シリコン系材料からなる膜と、その上に形成された前記高誘電体材料からなる膜とを含む多層膜とすれば、製造プロセス中における高誘電体膜の劣化を有効に防止でき、一層効果的にリーク電流の抑制および内部回路の高速動作化を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の一例を示す模式的断面図である。

【図2】本発明の半導体集積回路装置の一例を示す模式的断面図である。

【図3】本発明の半導体集積回路装置の製造方法の一例を示す模式的断面図である。

【図4】本発明の半導体集積回路装置の製造方法の一例を示す模式的断面図である。

【図5】シリコン酸化膜を用いたMOSダイオードと高誘電体膜を用いたMISダイオードの電流・電圧特性を示す図である。

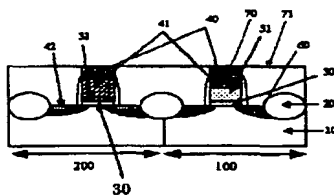
【図6】従来の膜厚の異なるゲート酸化膜を有する半導体集積回路装置の模式的断面図である。

【符号の説明】

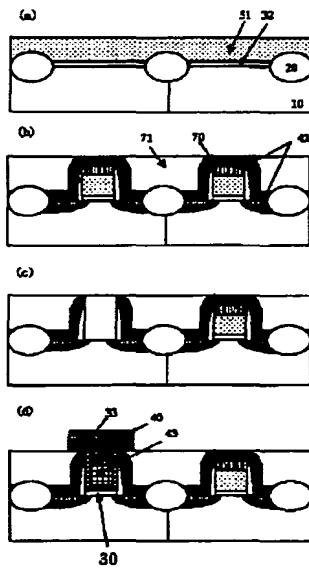
- 10 シリコン基板  
20 素子分離酸化膜  
30 シリコン酸窒化膜

- 31 チタン酸バリウム・ストロンチウム膜  
32 シリコン酸化膜  
33 酸化タンタル膜  
40 タングステン膜  
41 窒化チタン膜  
42 コバルトシリサイド膜  
43 窒化タンゲスタン膜  
51 多結晶シリコン膜  
60 拡散層  
70 シリコン窒化膜  
71 シリコン酸化膜  
100 入出力部  
200 内部回路

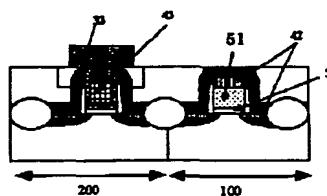
【図1】



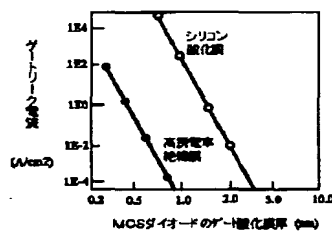
【図4】



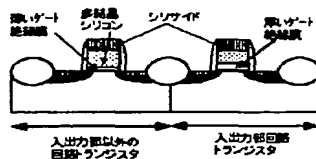
【図2】



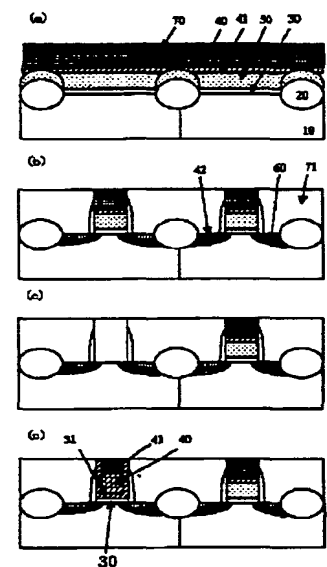
【図5】



【図6】



【図3】



フロントページの続き

Fターム(参考) 5F040 DA00 EC01 EC04 EC07 EC13  
ED01 ED03 ED04 FC11  
5F048 AA07 BB04 BB05 BB08 BB11  
BB12 BB16 BB17  
5F058 BA20 BD01 BD05 BD15 BD18  
BF02 BJ01 BJ10